(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) a Int. Ct. 7 1101P 1/16

(11) 공개번호 특2002-0093613

(43) 공개일자 2002년12월16일

(21) 출발번호 (22) 출원인자 10-2002-0031857 2002\10641079

(30) 유선원주장

9185 (JP)

(71) 3 9491

살요 텔가 가부시키가이샤

일본 오사카후 모리구치시 제이한 존도오리 2표배 5만 5고

(72) 반영화

아사노테쪼로

일본군다껳오라궁오이즈미아씨후구.3:리106~27

JP-P-2001-00173498 2001\(\frac{1}{2}06\(\frac{1}{2}08\(\frac{1}{2}\)

히라이도시까즈

일본군마생오라궁오이즈미마짜요시다986~5

사까까바라미까요

일본사이따마껭요요사또궁메누마마씨쥬오21-1-315

(71) 대리인

청수길 이중의 구영왕

원시 생각 수 없다

(54) 화합물 반도체 스위치 회로 장치

.40

세이 단자(1)와 FET2의 케이크 선탁을 접속하고, 제이 단자(2)의 FET1의 케이크 선극을 접속하는 비리 행상의 논리 에서는, 지형을 교사하여 접속할 필요가 있어. 집 외수에 베지하기 때문에, 전 사이즈가 기지게 되는 문제가 있었다.

공봉 입의 단지와 PET 사이에 광해한 2개의 지향을 배지한다. 또한 지않을 n * 뭐 甚줄을 확산 영역에 평심하고, FET 의 일부를 제어 단지와 끝인 단사 사이에 배적했으로써, 통상 배탄과 통일 집 사이즈로, 비리 스위치 회로를 실험할 수 있다.

ell pro-

30, 2

लेखान

폐의 급속품, 게이트 전국, 소스 전국, 트레인 전국, 세일 영역, 제이 단자, 움취 단자

1934

3.50 to 3150 W 1913

도 1은 본 반명을 설명하기 위한 회로도.

도 2는 본 반병을 실명하기 위한 광면도.

도 3은 본 반병을 선명하기 위한 평면도.

도기는 본 밥병을 선명하기 위한 단면도.

도 5는 종래에를 실망하기 위한 도면으로, 도 5의 (a)는 단면도, 도 5의 (b)는 회로도.

도 6은 중래에를 설명하기 위한 등가 회로도.

도 7은 중래에를 선명하기 위한 회로도.

도 8은 종래에를 설명하기 위한 횡면도.

도 9는 종래에를 설명하기 위한 도면으로, 도 9의 (a)는 평면도, 도 9의 (b)는 단면도.

도 10은 좀레예를 설명하기 위한 평면도.

< 도면의 주요 무분에 대한 부호의 설명>

Cit-1, Cit-2 ' 제이 단자

OUT-1, OUT-2 : 휴립 단시

IX : 공봉 위력 단지

12: 세달 양약

13: 九四 担守

15 도라인 전략

47 : 게이브 전달

30二增压 计命管

방병의 성세한 설명

열명의 목적

그들님이 속하는 가운 등 그 문이의 중래가를

본 발명은, 독리 고수의 스위성 광모에 이용되는 화합물 번도체 소위치 회로 참치, 독히 2.40k대 이상에서 이용하는 회 집도 반도계 소위자 최로 감치에 관한 것이다. 휴대 천의 등의 이동계용 통신 기기에서는 mm대의 마이크로파를 사용하고 있는 정우가 많고, 안내나의 설란 회로니 중 주실의 전환 최로 등에, 이를 고급한 신호를 전환하기 위한 수위적 소시가 이용되는 경우가 많다(예를 들면, 특개병의-1810년2호), 그 소지코시는, 고주의를 위급하기 때문에 (북는 미호(GaAs)를 이용한 선계 효과 트랜스라티어를 PET 라고 방)를 사용하는 경우가 많고, 이에 따라 생기 수위적 최로 자체를 접착하한 보살리석 마이크로와 점색 최도(MM ICD의 제생이 전쟁되고 있다.

도 5의 (a)는 GaAs FET의 합면도를 도시하고 있다. 비트링권 GaAs 기엔(1)의 표면 부분에 N형 불충활을 표현하여 국명의 세념 영역(2)을 형성하고, 세월 영역(2) 표면에 쇼트의 결축하는 케이트 필드(3)을 배치하며, 케이트 필드(4) 의 양축에는 GaAs 표면에 오막 불충하는 소수는 드레인 설득(4, 5)을 배치한 것이다. 이 트랜지스터는, 케이트 실득(3) 의 설립에 의해 바로 아래의 세념 영역(2) 대에 공립증용 행성하여, 소스 설득(4)과 트레인 필드(5) 사이의 세팅 설득 (실 앱이한다.

도 5의 (b)는, GaAs FET를 이용한 SPDT(Single Pole Double Throw)라고 하는 화학을 만드체 스위치 최고 장치의 원리적인 최고도를 도시하고 있다.

제1 FD 및 제2 FET2의 소스(또는 도현인)가 공통 업력 단차 IN에 취속되고, 각 FET1, FET2의 케이트가 지속 E1, R2을 통해 제1 제이 단차 Ct-1 및 제2 제어 단차 Ctt-2에 취속되어, 그리고 각 FET의 트레인(또는 소스)이 제1 된 단차 CtT1 및 제2 출력 단차 CtT2에 취속된 것이다. 제1 제이 단차 Ctt-1 및 제2 제이 단차 Ctt-2에 입가하는 설호는 물로 신호이고, II 레텔의 신호가 임가된 FET가 ON 상태로 되어, 입력 단차 IN에 인가된 신호를 이느 축인적 환쪽의 출력 단지에 전단하게 되어 있다. 저항 R1, R2는 교육 취치로 위는 제이 단차 Ctt-1, Ctt-2의 전류 전위에 대하여 게이트 실극을 통해 교수와 신호가 수출되는 것을 방지할 목적으로 제시되어 있다.

이러한 화합을 만도해 스위치 회로 창석의 동가 회로보통 도 6에 도시한다. 마이크리코에서는 특성 업괴턴스 50억 을 가 준으로 하며, 각 단자의 업계턴스는 RT-R(2=R3=50억 개형으로 표시된다. 또한, 각 단자의 원위를 V1, V2, V3으로 회면 설업 순설(Insertion Loss) 및 아이童제의선(Isolation)은 이희의 적으로 표현된다.

Insertion Loss=20log(V2/V1)[dB]

-이것은 공통 업력 반자 IN으로부터 출력 반자 OUT1로 신호된 진송했을 때의 삽입 손실이고.

Isolation = 20log(V3/V1)[dB]

이것은 공통 입력 탁자 IA으로부터 출입 탁자 OUT2 사이의 아이슬레이션(Isolation)이다. 회학산 반도세 스위적 최고 물자에서는 봉기한 합법 순설(Insertion Loss)을 가능한 한 최계 하고, 아이슬레이션(Isolation)을 향상시키는 것이 고구되어, 신호 경도에 직원로 합입되는 FET의 설계가 출효하다. 이 FETSA (Gas) FET을 이용하는 이름도 Gas소우 이 SI로나 설차 이동도가 높기 때문에 지향이 작아 작손실화가 도모되며, GaAs는 발집인성 기편이기 때문에 신호 경로 사이의 고아이슬레이선화에 취합하기 때문이다. 그 반면, GaAs 기관은 SI에 비해 비싸고, PIN 디어오트와 같이 통가인 것이 SE 이론이지만 비용 경쟁에서 되게 된다.

이러한 회한물 반도체 스위치 회로 장치에서는 FET의 채널 양역(2)의 시항 Rol

R=1/enu_SIO_I

- e : 천자 전하항(1.6×10 15 C/cm)
- n: 전자 케리어 공도
- B : 전자 이동도
- S: 체념 영역의 단면적(cm)

으로 표현되기 때문에, 시청 R을 기능한 한 작게 하기 위해 제널 쪽을 가능한 한 크게 실계하여, 제털 영역의 단면적을 확보하여 삼위 손성(Insertion Loss)을 작게 하였다.

이 배분에 계미트 전략(3)과 세달 영역(2)에서 행성되는 쇼트가 집쪽에 의한 용방 성분이 가지, 이것으로부터 고추과 의 임역 선호가 두설되어 아이출레이션 (Isolation)를 악화시킨다. 이것을 피하기 위해 전투(Shunt) FET를 설치하여, 아이출레이션(Isolation)의 개설을 도보하였지만, 집 사이즈가 크고 비용이 고가이기 때문에, 설립관과 같은 입가의 집 으로 지한이 전쟁되어, 사장은 잃어버리는 건화를 통해하고 있었다.

그래서, 선트 FET를 생략하여 집의 축소를 실현한 스위칭 회로가 개발되고 있다.

도 7은, 케이트 폭 600gm의 화합물 반도체 스위치 최호 상취를 토시하는 최로토이다. 제1 PET1과 제2 PET2의 소스 산설속은 트레인 전투)이 불통 입력 단자 IN에 접속하며, FET1 및 PET2의 제미된 권투이 각각 세형 R1, R2를 통해 제1 제이 보자 CLT 및 제속하고, 그리고 PET1 및 PET2의 트레인 전투(축은 소스 선투)이 제1 출력 단자 OUT1 및 제2 경에 단자 CUT2에 접속된 것이다. 제1 제이 단자 CLT 1 및 제2 제이 단지 CLT으에 한 가되는 제이 신호는 중된 신호이고, H 레벨의 선호가 인간의 접속된 것이다. 제1 제이 단자 CLT 1 및 제2 제이 단지 IN에 인기 위 업략 전화 CV 전후의 출력 단자로 전환하고록 되어 있다. 처럼 제2 제기 전후 위의 전략 제2 제이 단지 CLT 1.CLT 2의 기록 원위에 대하여 기의 전략을 통해 교수와 신호가 작성을 모음 제계한 목으로 제기되어 있다.

로 7에 트시한 화로는, 도 5의 (b)에 도시한 GaAs FET를 이용한 SPDT(Single Pole Double Throw)라고 하는 화합 를 받도체 스위치 회로 항치의 원리적인 최도와 거의 통임한 최로 무섭이며, FETT 및 FETT의 제이를 한국의 제이는 등 600cm로 전체적이 있다. 제이도 꼭 Wg를 총계의 것에 비해 작게 하는 것을 FET의 온 지형을 크게 하는 것을 의미하고, 또한 제이는 전달의 번역(LgX Wg)이 작아십으로써 케이트 전달과 제일 영역과의 쇼트가 접험에 의한 기생 용량이 작아지는 것을 의미하므로, 최로 통작 상에서는 큰 차이가 생긴다.

도 8은 이 화험물 반도세 스위치 회로 장치를 집석화한 화합물 반도체 집의 일래를 나타내고 있다.

GaAs 기원에 고위적은 생하는 FET1 및 FET2를 중앙부에 배치하고, 각 FET의 케이트 설득에 지할 R1, R2가 접촉되 이 있다. 또한 공목 업틱 단과 IN, 종력 단차 OFT2, 제이 단차 CH=1, CH=2에 대중하는 배능가 기위의 주변 에 행심되어 있다. 또한, 정신으로 도시한 책2중세의 배선은 또 FET의 케이트 전극 함치 어때 동시에 합성되는 케이트 급속한 CT/P/An1/20이고, 선신으로 도시한 제3중액의 배선은 각 소부의 접촉 및 배트의 행성을 생하는 페트급속증 CT/P/An1/20이오다. 제1중세의 기관에 오막 접수하는 오막 급속증(AnGC/VAn1/10)은 각 FET의 소스 전투 드레 및 전략 및 각 시방 당단의 민준 선극을 행성하는 것으로, 도표에서는 배트 급속증과 중합되고로 도시되어 있지 않다.

도 8도부터 방백해진 마와 같아. 구성 부품은 PETT, PETT2, 지함 RT, R2, 공통 합리 단자 IN, 출력 단자 QUTT, QUT 오, 제이 단지 QUET, QUE 2에 대응하는 제도받으로, 전도 PETT를 제용한 화합을 방도제 스위치 회로 장치에 비해, 최 소구성 부품으로 구성되어 있다. 오한 이 먼트체 장치의 독장적인 집은, FETICETZE 등업함)의 케이트 목을 600gm로 명칭했기 때문에, 집 사이스로 작게 할 수 있다. 즉, 문예 도시한 FRTI은 일침체선으로 불러하면 장박형의 체험적역(12)에 명칭된다. 하루으로부 다 말장되는 맛살 평상의 3개의 제공증제의 제도급축충(30)이 중력 단자 OUTI에 접속되는 소스 전·(1(3)(혹은 트데 인 전·1)이고, 이 아래에 제공증제의 제공증제의 제도 급속충(30)이 공항 입의 단자 N에 접속되는 도래인 전달(1)(도로부터 만장하는 맛살 평상의 3개의 제공증제의 제도 급수충(30)이 공항 입의 단자 N에 접속되는 도래인 전달(1)((혹은 소스 전달)이고, 이 아래에 제공증제의 프리 급수충(30)이 공항 임의 단자 N에 접속되는 도래인 전달(14)(혹은 소스 전달)이 있다. 이 임 전달은 맛살을 만들리게 한 형상으로 제외되어, 그 사이에 제공해의 게이트 급수증(20)으로 평성되는 게이를 전달(17)이 제임 역약(12) 전에 기계의 맛보 취상으로 제외되어 있다. 또한 EFTI가 FETIS가 작곡으로부터 일하되는 전가운데의 맛살 생상의 트레인 전달(13)(혹은 소스 전문)을 공용하고 있어, 다음 소행화에 기의하고 있다. 이기시, 개 이트 목이 600gm라는 의미는 각 FET의 맛살 생상의 게이트 전략(17)의 게이트 중의 통합이 각각 600gm인 것을 보며 한다.

그 권과, 성기한 화합물 반도세 컵의 사이즈는 0.37×0.30째 이내로 할 수 있다. 이것은 설트 FET를 이용하는 경우의 화합문 만도체 집 사이즈에 대해 1/5로 축소할 수 있는 것을 의미한다.

도 9㎡(a)에 도 4에 도 4에 FET1의 무분을 확대한 채먼도를 도시한다. 이 토면에서, 입성계산으로 불러싸인 상담함 의 일억이 기관(11)에 청성되는 개성 영역(12)이다. 작곡으로부터 안장되는 맛찬 형상의 4개의 제3층에의 제도 급증 중(30)이 출력 단자 OUT1에 참축되는 소소 전급(13)(목을 드대인 첫부)이고, 그 아래에 제1층에 오미 급수속(56)이는 조 청소(14)(총은 트래인 천부)이 없다. 또한 우속으로부터 인물되는 맛산 영상의 4개의 제3층에의 제도 급수속(50)이 공통 업력 단지 18에 청소리를 느려면 전급(5)(혹은 소스 전급)이고, 12 아래에 제1층에의 의미 급수속중(10)으로 형성되는 드레인 전급(16)(혹은 소스 전급)이고, 12 사이에 제2층세의 제1 및 급수속중(30)으로 형성되는 드레인 전급(16)(혹은 소스 전급)이 있다. 이 약 전급은 맛산을 맞춤이 받아 및 생성으로 배치되면, 그 사이에 제2층세의 제1만 급수증(20)으로 형성되는 개이도 전급(17)이 제된 영역(12) 상에 맛진 생성으로 배치되면, 그 사이에 제2층세의 제1만 급수증(20)으로 형성되는 개이도 전급(17)이 제된 영역(12) 상에 맛진 생성으로 배치되면, 12 사이에 제2층세의 제1만 급수증(20)으로 형성되는 개이도 전급(17)이 제된 영역(12) 상에 맛진 생성으로 배치되었다.

.8.9의 (b)에 이 PET의 인부의 인턴보충 도시한다. 기환(11)에는 ng의 제당 영역(12)와 그 양국에 소소 영역(18) 및 트레인 영역(19)을 청심하는 n'행의 불순분 환산 영역이 심적되고, 채달 영역(12)에는 제이트 전투(17)이 실적되고, 생물 영화는 위에 대한 제통해의 모역 급통을(10)으로 행성되는 트레인 전략(14) 및 소스 전투(10)이 실적되는 또한 그 위에 성소한 비와 같이 3순세의 제도 단속(30)으로 행성되는 트레인 전략(13) 및 소스 전투(15)이 실적되는 또한 그 위에 성소한 사람들이 제공 조선 생략(15)이 실적되는 이 각 소소의 제상 모양 보다.

이 스위성 회로에 전해지는 2-10k 이상의 고주파수대에서는 삼업 순설(Insertion Loss)의 약화는 비약하고, 안이술의 이선(Isol)(iton)는 PET의 기생 용량에 의존하여 개선되는 것을 일 수 있으므로, 이이슬레이전을 우선하여 설계받으로 씨, (GO)(and) 개이트 등 Wig에인 1808 이상의 아이축레이선(Isolation)을 확보한다

도 8에 실제의 제단을 도시한 화합을 만도해 스위치 최로 상처에서는, PET1 및 FET2의 제이도 전이 Lg은 0.5m, 개이를 푹 Wg로는 900m로 선제하여, 상업 순설(Insertion Loss)을 0.65m, 아이슬레이션(Isolation)을 18dB 확인한다.이 부정은 블루무슨(Bluetooth)(휴대 전혀, 노르북, 휴대 정보 단법, 디지털 카메리, 기다 주면 기기를 무선으로 상호 점약하는, 이를 한 환경, 비즈니스 환경을 활성시키는 등신 사망)을 포함하는 2.40km ISMBand(Industrial Scientific a nd Medical frequency band)를 사용한 스케무트 첫 마다.

현재에는 실리론 발도제 집의 성능 항상도 매우 빨라. 고주파대에서의 이용 가능성이 높아지고 있다. 중래에는 심리근 집은 고주파대에서의 이용이 여러워. 고가의 화험을 발도체 점이 이용되었지만, 살리면 발도적의 이용 가능성이 높아지 면, 남인히 웨이괴 가격이 높은 화험을 발도체 점은 가격 경쟁에서 뒤지게 된다. 이 때문에 집 사이츠를 축소하여 비용 을 이제한 생면성이 있으므로, 집 사이스의 저같은 불가회하다.

발발이 바투고자 하는 기술적 과제

이와 같아 전트 FET를 생략하고, 또한 케이트 쪽을 600m로 함으로써, 집 사이즈를 대폭 작업하는 것이 기능하게 되었다. 도 5여 도시한 소위가 화로의 논리에서는 출력 단자 OUT1에 진호된 불사시킨 때를 공할 단자 OUT1에 가까운 제어 단자 Ch-1에 애를 불만 3V를 제어 단자 Ch-2에 0V를 일기하고, 반대로 출력 단자 OUT2에 진호를 통과시킨 때문 등 할 부자 OUT2에 가까운 제어 단자 Ch-2에 3V, Ch-1에 0V의 바이어스 신호를 일기하고 있다.

그러나, 사람자의 요구에 따라시는, 그 반대의 논리를 조합할 필요도 있다. 즉 출력 단자 OUT1에 신호를 통과시합 때 는 출력 발작 OUT1로부터 및 제이 담자 CH-2에 예를 한번 3V, 제이 단자 CH-1에 이익을 일거하고, 반대로 출章 받 적 OUT2에 신호를 통과시킨 때는 출력 탐자 OUT2로부터 및 제이 담자 CH-1에 3V, CH-2에 이V의 바이어스 실호 전기하는 논리이며(이것을 이하 마러 타면 스위치 최물라고 한다.) 이 경우에는 집 상에서 변설이 증기되게 된다.

도 10은, 도 8에 도시한 화합물 반도세 스위치 회로 참지의 미리 다임의 스위치 회로를 집절화한 화합물 반도세 집의 일레를 나타내고 있다.

GaAs 기환에, 스위식을 행하는 F6T1 및 F6T2를 충영부에 배치하고, 각 F6T의 계약는 전략에 지방 R1, R2가 접속되어 있다. 또한 공상 입력 단계 [N. 출력 단사 OIT1, OUT2, 제이 단차 CU+1, CU+2에 대응하는 제문가 기계되어 주면 이제가 F6T1 및 F6T2의 주학에 전취되어 전치되어 있다. 또한, 집신으로 나타낸 제공성제의 배신을 전 표시되는 제안 등 전략 제상 조시에 영상되는 게이트 급속증(Ti/P/Au)(30)이다. 제1층에의 기관에 모역 접속하는 모역 급수증(AuGe/NiAu)(10) 근 전 F6T의 소스 보통, 트레인 전략 및 대 보안 하는 것으로, 토리에서는 배로 급수증과 중 집 기료로로 도시되어 있다. 토리에 있다. 보다는 작성하는 것으로, 토리에서는 배로 급수증과 중 집 기료로로 도시되어 있다.

FET1의 케이트 전략과 제어 단계 Cu-2는 서향 R1로 접속되고, FET2의 케이트 전략과 제어 단자 Cti-1은 시항 R 2도 접속되는 미리 타입으로 되어 있으며, 이 접속을 위해 서향 R1 및 시항 R2는 점의 의주를 따라 해지된다.

점의 비부에는 훌륭 위한 단자 IX 제에 단자 Ci = 및 Ci = 2, 또는 출력 단자 OUT) 및 OUT2에 대응하는 제도가 테 지되어 있다. 도 8에 도시한 스위치 최로의 패턴 레이아웃으로부터 비러 타입의 처로로 레이아운을 변경합리고 하면 전 대부에는 이유가 없기 때문에, 참 의주를 따라 적합을 배치하게 된다. 그러나, 이 배지에 의하면, 집의 X 명칭 (과구)으로 가격 25mm, Y 방향으로 50mm가 판매되게 되어, 그 방참 십 사이즈가 중대되게 된다.

그러나, 성술한 비와 간이, 살리는 취과의 가격 정생에서 이기가 위해서는, 화합률 반도체 취의 집 사이조를 축소하여 비용을 의재한 필인성이 있으므로, 집 사이즈의 세감은 불가피하였다.

열명하 구성 방 작용

< 실시예>

이하에 본 발명의 실시에에 대하여 도 1 내지 도 4를 참조하여 실명한다.

도 1은 본 박병의 회학을 반도체 소위적 최고 참처를 도시한 최로로이다. 제 FET1의 제2 ECT2의 소스 현극(혹은 토리인 경투)이 통통 업력 단자 IN에 접속되며, FET1 및 FET2의 제이트 전략이 각속 지형 RI, R2를 돌해 제2 제이 단 사 CH-1및 제1 제이 단자 CH-1에 접속되고, 그리고 FET1 및 FET2의 트레인 한국(혹은 소스 설득)이 제1 출력 단지 CH-1및 제2 전략 단자 CH-2에 현수되는 제에 제이 단자 CH-1및 제2 제이 단지 CH-2에 현수되는 제이 설로는 성로 실속이고, IT 레벨의 설로가 인가될 수의 FET가 ON 상태로 되어, 공통 업력 단자 IN에 인기되는 위의 실호를 이트 속인자 현속의 출력 단지에 연간하도록 되어 있다. 사항 RI, R2는 교육 업지로 되는 제이 단자 CH-1, CH-2의 최류 전점에 대하여 계에는 천료를 통해 교수과 설문가 무속되는 것을 맞지한 목적으로 제시되어 있다.

도 1에 도시한 회로는 또 5의 (h)에 도시한 GaAs FET를 이용한 SPDT(Single Pole Double Throw)라고 하는 회학 중 만도체 스위치 회로 정치의 미래 타입의 논면 패현의 최로 구성으로, 제이 단자 Cu-1은 FET'2의 케이트 전투에 접 출시고, 데이 단자 Cu-2는 FET'1의 케이트 전투에 접촉했다.

이 스위기 회모의 돌리에서는 출력 발자 OIT1에 실용된 통과시험 때는 출위 단자 OIT1로부터 및 제이 남자 Ci--2 에 해를 불면 3V, 제이 반자 Cit-1에 0V를 인가하고, 반대로 출위 단자 OIT2에 실호를 통과시험 때는 출시 단자 OIT T일로부터 및 제이 단자 Ci-1에 3V, Cit-2에 0V의 바이이스 설훈을 인가하고 있다.

도 2는, 본 발명의 제1 실시에인 미러 타입의 화합성 반도체 스위치 회로 장치를 접적화한 화합물 반도체 집의 인해를 니타네크 있다.

GaAs 기반에, 스위기를 했다는 FETT 및 FET2를 중앙부에 배치하고, 각 FET의 개인된 취실에 지칭 RL, R2가 집속되어 있다. 또한 공을 위해 단자 NB, 출하 단자 OUTLOTE, 해야 받아 CLI-L, CLI-2에 대중하는 제문가 기반의 주민 에서 FETT 및 FET2의 추위에 가진 형성적이 있다. 또한 경신으로 나타낸 제공증제에 해선한 구 FET가 에서트 취실 지해 중시에 합성되는 케이트 급속충(TVPVAn)(20)이고, 실선으로 나타낸 제공증제에 배선은 각 소자의 접속 및 해보 의 제 점을 해보는 케이트 급속충(TVPVAn)(20)이다. 제공중에 기반에 오면 삼축하는 오면 급속충(AnG eN)(An)(10)은 각 FET가 소소 전략, 트레인 전략 및 각 전쟁 양단의 일출 전략을 행성하는 것으로, 또 2에서는 페트 급속증기의 모든 조심기는 모든 자기에 있다. 급속증기 보는 도시되어 있다. 합성하는 것으로, 또 2에서는 페트 급속증기의 모든 도시되어 있지 않다.

[PET1의 케이트 선급의 제이 단자 CH-2는 역항 RLE 설속되며, PET2의 케이트 전급과 제이 단자 CH-1은 적항 R2 로 집속된 미리 타입으로 되어 있다. 국항 RL 및 적항 R2는, ** PET보부터 연장되어 공통 위력 단자에 집속되는 전 는 과 설화력을 통해 표가하여 형성된 6 '형 통증로 확산 역약이다.

도 2로부터 발매해진 바이 같아, 무성 부름은 EETT, EET2, 지역 RL R2, 공통 업의 단차 IX, 총의 단차 OUTL, OUT 2. 제이 단지 CH-1, CH-2에 대응하는 제트만으로, 최소 구성 부름으로 구성되어 있다. 이기에 도시한 FETTICET2 로 미친 가지다)을 안심해있으로 출리하면 경망행의 제념 영역(12)에 청성된다. 하측으로부터 인정하는 및을 대상의 3 제의 제공중에의 제로 급수용(30)이 출행 단차 OUTL의 접속되는 소소 전국(13)(종은 요리엔 원국)이고, 그 아래에 제 급해 모면 부족(10)의로 확성되는 소소 전략(14)(혹은 급례엔 전략)이 있다. 또한 북구로부터 인정되는 및을 받 습의 3계의 제공주에의 제트 급수용(30)이 공통 업력 단차 IN에 접속되는 트데인 원국(15)(홍은 소소 전략)이고, 그 이래에 제급주에의 오립 급속용(10)으로 발성되는 트레인 원국(14)(혹은 소소 건략)이 있다. 이 양 권극은 및으로 물건계 한 점심으로 베지되며, 그 사이에 제26 해의 게이트 급수용(20)의로 협성되는 제기를 판구(17)의 대한 영역(12) 상에 1개의 및한 협상으로 베지되어 있다. 또한 EETT과 PET'2가 삼측으로부터 인상되는 전기를 대한 및실 행상의 다네일 단살(20)(종은 소소 설 등)을 꼽는 함께 있다. 또한, 미리 타입의 스위치 회로로 하기 위해 연장되는 지형 R1 및 R2를 집의 대부에 배치합으로써, 외주를 따라 배치한 경우와 비교하여, X 방향의 성의 확대를 의제할 수 있어, 집 사이즈의 증가를 Y 명확만으로 억제할 수 있다.

도 3에는, 본 발명의 제2 실시에면 미러 다임의 스위치 회로 장치를 접적화한 화합물 반도체 스위치 회복 장치의 임래 를 나타낸다.

이 제2 실시에는, 지형 R1 및 R2를, 공통 입력 단지 IN와 암 FET와의 사이에 제행하게 배치하고 있으나, 임 FET1, FET2등 ' 발발으로 국소하여, 게이는 목을 받았어가 위해 임무한 제이 단자 CU-1, CU-2 및 중해 단자 CUT1, CU TV에 대조하고 베르의 사이에 당신한으로써 참 지원이 배치되는 영역을 받고하는 것이다.

약 구성 요소의 설명에 대해서는, 도 2와 마원가지이기 때문에 생략하지만, 크게 다른 점은, 각 FET의 패턴을 변경하여, 데이 담자 및 물림 단자 페트 사이에 FET의 소스, 트레인 및 케이트 전략의 입부를 배치한 것에 있다. 이에 따라, 도 2 에 도시한 FET와 통일 케이트 축으로, Y 방향으로 축소되고, X 방향으로 확대된 FET로 되기 때문에, 공통 입력 단자 1동 및 당 FET 사이에 스페이스를 확보한 수 있다.

PETTI의 케이트 전투와 제어 남자 CHI-2는 집항 RI에 취속되고, PETT의 케이트 전투와 제이 남자 CHI-1은 시항 RZ 에 취속되다. 지형 RI 및 지항 RZ는, 양 PETT로부터 전화되어 강을 집한 단지에 접속되는 신략과 교차되어 행성되다. 항송 입력 단자에 대응하는 페드와 양 PET 사이의 스페이스에 생생하게 배시된다.

도 4에는 도 3의 A-A선의 단면도를 도시한다. 이것은, 지방 R1 및 R2의 성통 입력 단사에 접속되는 전략파의 교사부 이다. 기관(11)에 지장 R1, R2로 되는 n [†]형 불호를 확한 영역(40)(도 3에서는 업전체선으로 나타낸)이 행성되고, 결 회박을 통해 방 FET의 소스 요는 트레인 전략으로부터 공통 업적 탄자 IN으로 인장되는 트레인 전략(15)(혹은 소스 분수)과 교치되어 있다. 지장 R1, R2는 기관에 행성된 n [†]형 불순을 확산 영역으로, FET의 소스 및 트레인 업액 법정 과 통사에 행성된다.

또한 공통 입단 단자 페트, 네이 단자 Cu-1 페트, Cu-2 페트, 음식 단자 CHT1 페트, CHT2 페트 및 EFF(미리 페 이트 첫 늘의 주민 단부 아래에도, 인접파신으로 나타내는 마이 1 * 백 봉소를 확산 임약이 명칭되어 있다(케이트, 인 두 주민 민부에서는 케이트 원단과 중심되어 있어 보지 생활한, 여기자 6 * 생 봉소를 확산 임약은 주민 민무준말 아니다. 각 페트 및 함 FET의 케이트 전략 바로 아래 전반에 행성되어도 된다. 이렇 6 * 형 불순물 확산 임약은, 소스 및 드레인 임약 행성과 통시에 행성된 것으로, 이불 6 * 형 불순물 확산 영역 및 지항 R1, R2가 시로 인접하는 무분의 이각 기리는 카페르 되어 있다.

이것은, 화합성 반도체 소위자 최로 장치에서 요구되는 아이슐레이션이 20dB 이상이고, 실험적으로 4m의 이각 거리가 있으면 20dB 이성의 이미슐레이션을 봐보하는데는 중심하다는 것에 의한 것이다.

이에 따라 논리적인 근기는 무속하지만, 자급까지 반형인성 GaAs 기관은 집인 기관이라는 사고방식 때문에 내양을 무 한테이나고 병기되었다. 그러나 실수을 빨하면, 내양이 유한하다는 것을 알 수 있다. 이 배상에 반취인성 GaAs 기관 데 에서 공개증이 일상되어, 고수와 성호에 따른 공립증 거리의 함께 의해, 공개증이 일정하는 다른 제반자지 문단하면 기가에서 고수와 성호의 무선이 발생되는 것으로 생가되었다. 그러나, 일정하는 제단의 일정하는 속의 주면 단부에 하는 병의 성호를 내렸다. 또한, 신기계 시급에이션에서도 1,m 정도의 이전 기리를 설정하면 2.40k에서 40db 정도의 아이슬레 이전이 일어지는 것을 한 수 있다.

시항 R F 및 R2 또는 각 페트 및 FET의 케이트 전로 추면 단부는 n * 형 불순물 위한 형벽이가 때문에, 불순물이 도생되 이 먼지 않은 기班(LF)(반절면성이지만, 기반자항하는 1×10⁷ D · m) 표면의 달리, 불순물 공모가 높안한테(이온 중 김 298* 로 동도는 1 ~ 5×10⁶m² J. 이에 따라 각 패트, FET의 배신송인 케이트 전로, 지장으로의 공립증이 인상되 지 없기 때문에, 지도 인취하는 이건 기리를 4mm2 항으로써 아이슬레이션 2008은 중문이 학보면 수 있다. 그 결과, 본 발명의 회학물 반도체 참의 사이즈는 0.37×0.30㎡ 이내로 할 수 있었다. 이것은 도 8에 도시한 종래의 통 상 계월의 회학물 반도체 집 사이즈와 동일 사이즈이다.

FET1 및 FET2의 카테로 및 단민 무소는, 도 9에 도시한 중해의 것과 동안하기 때문에, 설명을 생략한다. 또한 본 말 생의 FET에서는, FET 목성이 동안한 FET라도 되며, 체텔 영역의 동도 및 가족 선합 등의 제될 행성 조건이나, 케이트 용이 나를 FET2를 된다.

보면, 작 n* 형 불술물 확산 영역은, 소스 및 트레인 양역과 동시에 형성되지 않아도 되며, 작각이 먼게의 공정해 의해 형성되어로 된다.

이의 같아. 본 발생의 제1 실시에에 따른 특성은, 통상 배턴의 논리로부터 마리 타입의 논리의 스위치 최로 중위로 배턴 병경하는 경우, 공통 합의 단사와 양 FET 사이에 2개의 적당 ET 및 R2를 배치하는 것이다. 이에 따라, 집 의수를 따라 지장을 배치한 경우와 비교하여, X 방향의 집 사이즈의 확대가가 없어지고, Y 방향의 집 사이즈의 확대받으로 여제한 수 있다.

또한 본 발범의 적2 실시에에 따른 작성은, FET의 배팅을 발경하여, 체이 단자 및 존의 남자 배도 자이에 FET의 박물을 배적하고, 공통 입력 단자와 양 FET 사이에 통행하게 2개의 지형 RL및 R2를 배적하는 것이다. FET의 배팅을 받지시않으로써 게이트 푹 싸운는 그대로이지만 Y 방향의 FET 사이스를 축소한 수 있어, 공통 입력 단자와 각 FET 사이에는 스테이스를 확고할 수 있다. 이 스테이스에 통행한 2개의 역항 RL, R2를 배칙하고, 또한 인접하는 각 구성 부름의 주면 단구에는 다 결 설소할 확한 임약을 성정하여, 이건 거리를 4mia 받으로써, 도 8에 도시한 통상 논리 배원의 설사이으로, 미리 타임의 스위치 최로 장치를 실명한 수 있게 된다. 도 2에서는 공통 집합 단자와 양 FET 사이에 2개의 지장을 배치하였기 때문에 Y 방향으로의, 공통 입력 단기에 대해 4에 Y 방향으로의 확대는 의한 수 없지만, 또 3차 값이 FET의 배탄을 발장향으로의, 공통 입력 단자의 미리 다리 스테이스를 필요하여, 또 8에 도시한 통상 배반의 스웨스 회로 참석와 동안 참 사이스로 하는 것이 기능하게 되었다.

발명의 교기

이상에서 성출한 비와 같이, 본 발명에 따르면 이하의 수많은 효과가 일어진다.

첫번째로, 의회를 공통 입력, 단자와 IET 사이에 뵘행하게 배치받으로써, 협 외주를 따라 배치한 경우와 비교하여, 집 사이즈의 증가가 현지하게 기가지 않는다. 집 외주를 따라 배치하면, X 명형으로도 참 사이즈의 까대되지만, 참 내무에 배치받으로써, Y 방향의 학대연으로 역쇄된다.

두번째로, FET의 제현을 발경하여, 제이 단자와 출력 달라 제고 사이에 그 FET의 역부를 배치한다. 즉, Y 방향으로는 축소하고, X 방향으로는 확대한 FET의 해인으로 향으로써, PET의 제이를 복은 그대로의 살대에서, 광통 입력 단자와 FET 사이에 스케이스를 확보할 수 있다. 이 스페이스에 시로 인접하는 구성 무섭(시항기리도 포현함)과 나포의 이리 기 이를 필요하여 생태한 2개의 치행을 배취합으로써, 등상 체택에 동양 집 사이스로 미리 스위치 제면의 스위치 최로 중 지상 실험할 수 있다.

세번째로. 상호한 바와 같이 퍼소 구성 부준과 집 내의 배치의 실계에 의해. 반도재 집 사이조를 확대시키지 않고 설천 할 수 있기 때문에, 실리된 반도적 위과의 가격 경쟁되도 대폭 향상시키 수 있다. 또한 집 사이조를 확게 한 수 있기 때 분예. 출계의 소형 페키지(MCP6 크기 2.1mm× 2.0mm× 0.9mm)보다 다욱 소형 페키지(SMCP6 크기 1.6mm× 1.6mm× 0. 75mm)에 실망한 수 있게 되었다.

내면에도, 본 백명의 화합성 반도체 스위치 회로 장치에서는 선트 FET를 생략하는 설계가 가능해지기 때문에, 구성 무 경은 FETT, FETZ, 서당 R.L.R.2, 공통 위력 단기 IS, 출력 단가 OUTT, 제이 단가 CII-1, CII-2에 대출하는 제트만으로 되어, 중계의 화합을 반도체 스위치 회로 참가에 비해, 최소 무성 부름으로 구성하는 입도 여성을 전하다. 1373 경우의 발위

청구항 1.

제념을 표면에 소스 전략, 케이트 전략 및 트레인 전략을 항성한 제1 및 제2 FET를 평성하고, 항 FET의 소스 관측 속 은 트레인 전략을 공통 입력 단자로 하며, 설가 항 FET의 트레인 전략 혹은 소스 전략에 집합한 제1 및 제2 출력 단자 와, 상가 항 FET의 케이트 성격에 접하면 제1 및 제2 제인 단자를 갖고 살기 제1 출력 단자, 제이 단자를 제1를 찾는 참기 제1 FET의 주위에 배적되며, 상기 제2 출력 단자, 제이 단자를 제1는 상기 제2 FET의 주위에 배지되고, 상기 항 FE T의 제이트 항수에 제이 신호를 인구하여 이는 현존의 FET를 모증시켜 성기 공복 입력 단자와 상기 제1 및 제2 플릭 단지 중 여는 항공학 전통 경우를 항상하는 화합을 받도록 소위시 회로 참시에 있어서.

상기 제1 FET의 케이트 전략과 상기 제2 제이 단사를 접속하는 제1 시합과, 상기 제2 FET의 케이트 전략과 성기 제 제이 단자를 접속하는 제2 세상을 살기 상품 업립 단사로 되는 페드와, 상기 참 FET와의 사이에 메치하는 것을 불성 으로 하는 화점을 반도해 소위적 회로 상치.

청구항 2.

제1항에 일이성.

상기 제1 및 제2 식량은 기관에 분순물을 확산하여 병성한 고등도 양역인 것을 특징으로 하는 화활물 반도제 스위치 회 도 참처.

청구항 3.

제1회에 있어서

성기 고등도 영리를 소스 영역 및 트레인 영역의 확산 영역을 이용하는 것을 특성으로 하는 회합를 만드세 스위자 회로 전 4

성구항 4.

제단증 표면에 소스 전략, 케이트 전국 및 드레인 전략을 행성한 제1 및 제2 PET를 행성하고, 함 PET의 소스 전략 측 은 트레인 전략을 공통 일위 단자로 하며, 상기 항 PET의 트레인 전략 중은 소스 설득에 취속한 제1 및 제2 함의 단자 와 상기 참 PET의 케이트 신간에 취상된 제1 및 제2 제이 단자를 갖고 불기 제1 급한 단자, 제이 단자를 제4를 삼기 제1 PET의 주위에 배의되며, 상기 제2 속된 단수, 제이 단자를 가르는 상기 제2 PET의 주위에 배치되고, 상기 양 PE T의 케이트 전략에 제이 신호를 인기하여 이는 현속의 PET를 도통시키 상기 공상 위탁 단자와 상기 제1 및 제2 출탁 단자 중이는 본자와 신호 결혼를 행성하는 화험을 만드를 도통시키 살기 공사 위탁 단자와 살기 제1 및 제2 출탁 단자 중이는 본자와 신호 결혼를 행성하는 화험을 만드려 소위시 최로 장시에 있어서.

성기 제1 FET의 케이트 전략과 상기 제2 제이 단권점 결속하는 제1 시장과, 삼기 제2 FET의 케이트 전투의 삼기 제1 제이 단작을 접촉하는 제2 시험관, 실기 등을 입니 단작로 되는 페트와, 살기 참 FET와의 사이에 취행하게 메시하는 기술 녹점으로 하는 회험을 만도체 수위시 회로 참치

정무항 5.

제1항에 있어서.

상기 제1 제이 단자 및 제1 출력 단자에 대응하는 패트 사이에 상기 제1 PET의 목부를 배지하고, 상기 제2 제이 단자 및 제2출력 단자에 대응하는 패트 사이에 상기 제2 PET의 일부를 배치하는 것을 득점으로 하는 화합을 만드게 스위치 회로 살지.

청구항 6.

제4항에 일이시.

상기 제1 및 제2 시험은 기관에 불순물을 확산하여 명심한 고등도 영역인 것을 복장으로 하는 회험을 만도세 스위치 회 로 참시.

청구함 7.

제1항에 있어서.

상기 각 레트 주면 단부의 아래 또는 패트 선면의 아래와 참기 양 FET의 배선증 주면 단부의 아래 또는 배설증 전면의 아래에는 다른 일 도전형 불순분을 확산한 고상도 양역을 행성하는 것을 특징으로 하는 화합물 반도세 수위기 최도

친구항 8.

제1항에 있어서.

상기 모든 고통도 영역이 서로 인접하는 이직 거리는 소장의 아이슬레이션을 확보할 수 있는 한계가 부른까지 근접하는 것을 독성으로 하는 화합물 반도체 스위치 피로 장지.

청구항 1.

제1항에 있어서.

심기 모든 고등로 양막은 소스 영역 및 트레인 영역의 확산 영역을 이용하는 것을 특성으로 하는 회학문 빈도체 스위치 회로 참시.

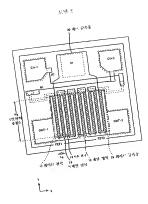
청구항 10.

제1 및 또는 제1항에 있어서,

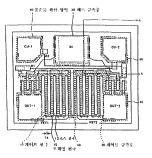
장기 제1 및 제2 시항관 상기 양 FET의 소스 전략 및 드레인 선극으로부터 연장되어 삼기 중봉 입력 반자에 접속되는 전략과 교사하는 것을 특성으로 하는 화합물 반도체 스위치 회로 장치.

공계득히 특2002-0093613



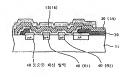


95.9[-3

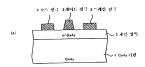


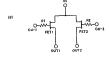
Ľ,

50.01.4

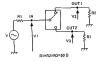


55.91.5

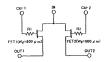




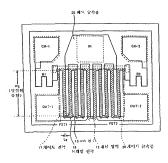
5.85.6

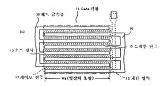


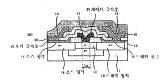
5: 9]. 7



9.902







55.9] 10

